

2871
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RECEIVED
APR 27 2001
5/1/01

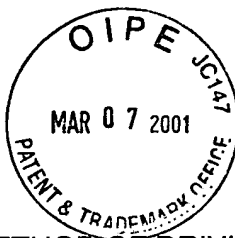
In re the Application of:

TANAKA et al.

Application No.: 09/757,491

Filed: January 11, 2001

For: DISPLAY DEVICE AND METHOD OF DRIVING THE SAME



Group Art Unit:

Technology Center 2600

Examiner:

Attorney Dkt. No.: P107400-00021

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

March 7, 2001

Sir:

The benefit of the filing dates of the following prior foreign application(s) filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-006019 filed on January 11, 2000

In support of this claim, certified copy(ies) of said original foreign application(s) is/are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document(s).

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

George E. Oram, Jr.
Registration No. 27,931

ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 600
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
GEO/hk

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 1月11日

出 願 番 号
Application Number:

特願2000-006019

出 願 人
Applicant(s):

ローム株式会社



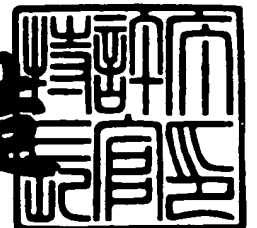
1-100-1100
11-21 21
11-21 21

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 99-00843

【提出日】 平成12年 1月11日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02B 27/02
G11C 11/22

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 田中 治夫

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 中村 孝

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100098464

 【弁理士】

 【氏名又は名称】 河村 洸

 【電話番号】 06-6303-1910

【手数料の表示】

 【予納台帳番号】 042974

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9910321

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置およびその駆動方法

【特許請求の範囲】

【請求項 1】 表示素子と、該表示素子を駆動するため該表示素子に印加する電圧または電流を制御する制御素子と、該制御素子と一体または該制御素子に接続されて、該制御素子の制御データをフローティング状態で保持し得る不揮発性データ保持部とからなる不揮発性の表示装置。

【請求項 2】 前記制御素子が MOS トランジスタ型素子からなり、該素子のドレインおよびソースの一方が前記表示素子に接続されると共に、他方が駆動ラインに接続され、前記 MOS トランジスタ型素子のゲート側が前記不揮発性データ保持部を介して制御ラインに接続され、前記表示素子、制御素子および不揮発性データ保持部の組が各画素として複数個マトリクス状に形成されてなる請求項 1 記載の表示装置。

【請求項 3】 前記不揮発性データ保持部と前記制御ラインとの間に選択トランジスタが接続され、該選択トランジスタのゲートが選択ラインに接続されてなる請求項 2 記載の表示装置。

【請求項 4】 前記不揮発性データ保持部が強誘電体キャパシタからなる請求項 1、2 または 3 記載の表示装置。

【請求項 5】 前記制御素子および不揮発性データ保持部が、MOS トランジスタのゲート側に強誘電体キャパシタが一体に形成された MFS 構造または MFIS 構造のトランジスタにより形成され、該トランジスタのバックゲートが書込みラインに接続され、前記制御ラインと該書込みラインとの間で前記不揮発性データ保持部への制御データの書込みを行える構造である請求項 2、3 または 4 記載の表示装置。

【請求項 6】 前記制御素子および不揮発性データ保持部が、MOS トランジスタのゲート側に強誘電体キャパシタが共通電極を介してまたは配線により接続された MFMI S 構造のトランジスタにより形成され、該トランジスタのゲート電極および前記強誘電体キャパシタの接続部と、アースまたは書込みラインとの間にキャパシタが接続され、前記制御ラインとアースまたは書込みラインとの

間で前記不揮発性データ保持部へのデータ書込みを行える構造である請求項 2、3 または 4 記載の表示装置。

【請求項 7】 前記不揮発性データ保持部が磁気抵抗効果を利用した素子からなる請求項 1、2 または 3 記載の表示装置。

【請求項 8】 前記不揮発性データ保持部が単電子メモリからなる請求項 1、2 または 3 記載の表示装置。

【請求項 9】 前記表示素子が有機 E L 素子からなる請求項 1 ないし 8 のいずれか 1 項記載の表示装置。

【請求項 10】 各画素を構成する表示素子をマトリクス状に配列し、該マトリクス状の各表示部のオンオフをそれぞれ制御することにより表示画像を順次変化させる表示装置の駆動方法であって、前記各表示素子の駆動を制御する制御素子に不揮発性データ保持部を設け、前記表示素子の制御状態が変化しない画素には表示データを印加しないで前記不揮発性データ保持部のデータにより表示をし、前記表示素子の表示状態が変化する画素のみに新たな表示データを印加して表示すると共に、そのデータを前記不揮発性データ保持部に記録する不揮発性表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素（ドット）をマトリクス状に形成し、コンピュータによる画像や動画などの映像を、順次変化させながら表示する場合に、同じ表示状態の画素にはデータを印加しないでそのまま表示状態を維持することができる不揮発性の表示装置およびその駆動方法に関する。さらに詳しくは、各画素のオンオフを制御する制御素子に不揮発性のデータ保持部が設けられた不揮発性の表示装置およびその駆動方法に関する。

【0002】

【従来の技術】

従来、コンピュータなどのディスプレイなどにはブラウン管や液晶を用いたものが使用され、また、街頭での大型ディスプレイには発光ダイオード（LED）

や液晶が用いられ、マトリクス状に発光部を形成して各画素を構成し、それぞれの画素をオンオフすることにより表示画像を順次変化させている。

【 0 0 0 3 】

液晶によるディスプレイは、たとえば図 1 2 に等価回路図で示されるように、各画素が発光部 5 1 とスイッチング素子（制御素子）である薄膜 MOS F E T 5 2 で構成され、行方向に並ぶ MOS F E T 5 2 のゲートをそれぞれ接続した走査ライン X_1 、 X_2 、 X_3 …として順次走査し、列方向に並ぶ MOS F E T 5 2 のドレインをそれぞれ接続したデータライン Y_1 、 Y_2 、 Y_3 …として、両者の組合せで各画素を駆動している。なお、5 3 は、線順次走査のため、つぎの走査までの間電圧を保持するための補助容量である。

【 0 0 0 4 】

液晶層は 1 種のコンデンサで、印加された電圧をある程度は保持するが、液晶層を介して放電し、線順次走査のつぎの走査までも保持できないため、補助容量 5 3 が設けられる場合がある。この補助容量でも、つぎの走査までしか電圧を保持することができず、オンオフのデータが同じでも、常にデータを印加し続けなければならない。この現象は、L E D など他の発光素子を用いても同様である。動画を表示する場合には 1 秒間に 6 0 回程度の書換えを行う必要がある。

【 0 0 0 5 】

【発明が解決しようとする課題】

前述のように、従来の表示装置では、画像を表示させるために各画素をオンオフさせるデータは、その画素のオンオフが変わらなくても、常に一定時間ごとに印加し続けなければならない。とくに動画を表示する場合、1 / 6 0 秒ごと程度の割合でデータを更新しなければならず、その更新するデータが殆ど同じでも、その都度全てのデータを各画素に印加しなければならない。このデータの書換えの電力消費が大きく、マイクロディスプレイのような超小型の携帯用ヘッドマウントディスプレイ（Head Mounted Display）などには、小形の電池で駆動させる必要があるが、消費電力が大きいため電池を大きくしなければならず、その実用化の課題になっている。

【 0 0 0 6 】

本発明は、このよな問題を解決し、各画素のオンオフのデータをフローティング状態で保持し、表示データの書換えは、オンオフなどの表示状態を変化する画素のみに行い、表示データを変化しない画素には、保持しているデータにより表示をすることにより、消費電力を低減し、小さな電池でも動作し得る不揮発性の表示装置を提供することを目的とする。

【 0 0 0 7 】

本発明の他の目的は、不揮発性のデータ保持部として、強誘電体キャパシタを用いたときの具体的な構成を提供することにある。

【 0 0 0 8 】

本発明のさらに他の目的は、表示装置を駆動する場合に、常に各画素に表示データを印加することなく、表示状態を変化する画素のみに新しいデータを印加することにより、消費電力を少なくすることができる不揮発性の表示装置の駆動方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

本発明による不揮発性の表示装置は、表示素子と、該表示素子を駆動するため該表示素子に印加する電圧または電流を制御する制御素子と、該制御素子と一体または該制御素子に接続されて、該制御素子の制御データをフローティング状態で保持し得る不揮発性データ保持部とからなっている。

【 0 0 1 0 】

ここに制御素子とは、表示素子が有機 E L 素子や L E D のような電流により駆動される素子の場合はその電流を供給し得る駆動トランジスタや、表示素子が液晶のような電圧により駆動される素子の場合はその電圧の印加をオンオフするスイッチング素子など、その表示を制御する素子を意味する。また、表示素子とは、1 画素を構成し得る 1 個の発光素子や液晶パネルの 1 画素部分を意味する。

【 0 0 1 1 】

この構造にすることにより、不揮発性のデータ保持部を有しているため、ある画素の表示状態のデータが同じである場合には、そのデータを書き換える必要はなく、表示状態のデータが変化する画素のみのデータを書き換えればよい。その

結果、書き換える必要のある画素は非常に少なくなり、書換えのための電力消費が減り、表示装置自体の消費電力を大幅に削減することができる。

【 0 0 1 2 】

前記制御素子がMOSトランジスタ型素子からなり、該素子のドレインおよびソースの一方が前記表示素子に接続されると共に、他方が駆動ラインに接続され、前記MOSトランジスタ型素子のゲート側が前記不揮発性データ保持部を介して制御ラインに接続され、前記表示素子、制御素子および不揮発性データ保持部の組が各画素として複数個マトリクス状に形成されることにより、半導体記憶装置型の不揮発性データ保持部を利用しながら、表示部をマトリクス状に構成し、行方向および列方向の組合せで各画素の表示を制御することができる。

【 0 0 1 3 】

ここにMOSトランジスタ型素子とは、MOSFETの他に、そのゲート側にゲート酸化膜に代えてまたはゲート酸化膜と共に強誘電体層を介在させたMFTやMFIT構造などの変形型トランジスタを含む意味である。

【 0 0 1 4 】

前記不揮発性データ保持部と前記制御ラインとの間に選択トランジスタが接続され、該選択トランジスタのゲートが選択ラインに接続される構造にすることにより、個々の画素の不揮発性データ保持部に0、1以外の中間のデータを保持させることができ、階調表示をすることもできる。

【 0 0 1 5 】

前記不揮発性データ保持部が強誘電体キャパシタからなれば、データの書込み速度が速いと共に、書込み寿命が 10^{12} 回以上と長く、表示装置を不揮発性化するのに非常に適している。

【 0 0 1 6 】

前記制御素子および不揮発性データ保持部は、MOSトランジスタのゲート側に強誘電体キャパシタが一体に形成されたMFS構造またはMFIS構造のトランジスタにより形成され、該トランジスタのバックゲートが書込みラインに接続され、前記制御ラインと該書込みラインとの間で前記不揮発性データ保持部への制御データの書込みを行える構造、またはMOSトランジスタのゲート側に強誘

電体キャパシタが共通電極を介してまたは配線により接続されたMFMI S構造のトランジスタにより形成され、該トランジスタのゲート電極および前記強誘電体キャパシタの接続部と、アースまたは書込みラインとの間にキャパシタが接続され、前記制御ラインとアースまたは書込みラインとの間で前記不揮発性データ保持部へのデータ書込みを行える構造にすることができる。

【 0 0 1 7 】

前記不揮発性データ保持部は、磁気抵抗効果を利用した素子、または単電子メモリにより構成することもできる。

【 0 0 1 8 】

前記表示素子が有機EL素子からなれば、小形の表示素子を製造しやすいと共に、階調表示もしやすく、低消費電力でマイクロディスプレイなどの超小型の表示装置を構成するのに適している。

【 0 0 1 9 】

本発明による不揮発性の表示装置の駆動方法は、各画素を構成する表示素子をマトリクス状に配列し、該マトリクス状の各表示部のオンオフをそれぞれ制御することにより表示画像を順次変化させる表示装置の駆動方法であって、前記各表示素子の駆動を制御する制御素子に不揮発性データ保持部を設け、前記表示素子の制御状態が変化しない画素には表示データを印加しないで前記不揮発性データ保持部のデータにより表示をし、前記表示素子の表示状態が変化する画素のみに新たな表示データを印加して表示すると共に、そのデータを前記不揮発性データ保持部に記録することを特徴とする。

【 0 0 2 0 】

【発明の実施の形態】

つぎに、図面を参照しながら本発明による不揮発性の表示装置およびその駆動方法について説明をする。本発明による不揮発性の表示装置は、図1にその基本構造の等価回路図が示されるように、たとえば有機EL素子からなる表示素子1とMOSトランジスタ2からなる制御素子が電圧または電流により駆動する駆動ライン6とアースGNDとの間に直列接続されている。MOSトランジスタ2のゲートには、強誘電体キャパシタ3からなる不揮発性データ保持部3を介して制

御ライン7に接続されて、MOSトランジスタ2の制御データをフローティング状態で保持し得る構造になっている。

【0021】

制御素子2と不揮発性データ保持部3とは、半導体記憶装置のEEPROMやフラッシュメモリと同様の構造に形成されてもよいが、たとえば強誘電体層を用いたFRAMの例が図5(a)～(c)に示されている。図5(a)に示される例は、たとえばp型半導体基板21に形成されたソース22、ドレイン23とするn形領域により挟まれたチャネル領域(S)24上に強誘電体層(F)31を介してゲート電極(M)25が設けられるMFS構造である。また、図5(b)に示される例は、図5(a)の強誘電体層31と半導体基板21(チャネル領域24)との間にSiO₂のようなバッファ層(I)26を介在させたMFIS構造である。

【0022】

さらに、図5(c)に示される例は、図5(b)の強誘電体層31とバッファ層26との間に電極を形成してゲート電極(M)25とし、強誘電体層31上の電極を強誘電体キャパシタ3の上部電極(M)32としたMFMISS構造である。このMFMISS構造では、強誘電体キャパシタ3をチャネル領域上に形成しないで、別のところに形成してゲート電極25と電氣的に接続してもよい。

【0023】

このMFS構造の動作について、図5(d)を参照して説明すると、ゲート電極25に正の電圧が印加されると、強誘電体層31が図5(d)に示されるように分極し、チャネル領域に電子が誘起されて空乏層が形成される。そのため、ドレイン22・ソース23間が導通となり表示部1を点灯させる。しかも、強誘電体層31は、図6に示されるようにヒステリシス特性を有するため、ゲート電極25への正の電圧印加が除去されても分極状態がそのまま維持され、導通(オン)の状態を保持する。すなわち、MOSトランジスタによる制御素子のゲートにゲート電極25と半導体基板21とで強誘電体層31が挟持された強誘電体キャパシタ3が形成された構造となり、その強誘電体層31によりデータを保持する。この関係は、図5(b)および(c)に示される構造でも同様に動作する。

【 0 0 2 4 】

表示素子 1 は、液晶表示素子や有機 E L 素子または L E D などにより構成することができる。表示装置全体の大きさが数 c m 四方程度以下の非常に小さいマイクロディスプレイを構成するには、有機 E L 素子でも非常に駆動電流は小さく、有機 E L 素子は一定電流以上になれば電流値に応じた強さの発光をするため、その電流値を制御することにより、階調表示をしやすく好ましい。図 1 に示される例では、表示素子として有機 E L 素子が用いられている。

【 0 0 2 5 】

有機 E L 素子は、たとえば図 7 に示されるように、シリコンなどからなる基板（ウェハ） 1 1 に形成された制御回路（L S I） 1 1 a の出力電極と、S i O₂ などの絶縁膜 1 1 b のコンタクト孔を介して接続されるように、A l、C u、M g、A g などからなる第 1 の電極 1 2 が設けられている。その第 1 の電極 1 2 の上に少なくとも E L 発光層 1 4 を有する有機層 1 7 が設けられている。そして、その有機層 1 7 の上に、たとえば酸化インジウムなどからなる光透過性の第 2 の電極 1 9 が設けられることにより形成されている。有機層 1 7 は、たとえば N P D からなる正孔輸送層 1 3、キナクリドンまたはクマリンを 1 重量%ドープした A l q からなる E L 発光層 1 4、A l q からなる電子輸送層 1 5、L i F からなる電子注入層 1 6 からなっている。なお、発光出力をモニターする場合には、第 1 の電極 1 2 として I T O などの透明電極が用いられることもある。

【 0 0 2 6 】

この有機層 1 7 の材料を変えることにより発光色を変えることができたり、カラーフィルタを設けることにより、R、G、B の 3 原色で 1 画素を形成するか、もしくは単色で、1 0 0 × 1 0 0 程度以下の簡易なものから 1 0 0 0 × 1 0 0 0 程度以下になる精密な表示まで必要な画素数になるようにパターニングされて各画素がマトリクス状に形成されることにより、繊細なカラー表示で、数 c m 四方以下程度の非常に小形なマイクロディスプレイが形成される。

【 0 0 2 7 】

なお、表示素子 1 として、液晶パネルの各画素を用いる場合、前述のように、制御素子 2 および不揮発性データ保持部 3 をシリコン基板などに形成することが

好ましいため、反射型の液晶パネルとすることが好ましい。反射型の液晶パネルとする場合、図 8 にマイクロディスプレイの一例の断面説明図が示されるように、シリコン基板上に形成された反射型の液晶パネル 1 0 1 の正面側に R、G、B の LED を設け、液晶の駆動と同期させて LED を制御することにより、細かい画素でカラー表示をすることができる。なお、1 0 2 は人間の目の網膜上に直接結像するレンズで、1 0 3 はケースを示している。

【 0 0 2 8 】

つぎに、図 1 に示される基本構造の動作について説明をする。この構造は、1 つの画素を構成する有機 EL 素子 1、MOS トランジスタ 2 および不揮発性のデータ保持部 3 の組がマトリクス状に設けられると共に、たとえば列方向に並ぶ各画素の有機 EL 素子 1 と MOS トランジスタ 2 のソースおよびドレインとが直列に駆動ライン 6 とアース GND との間に接続されている。この駆動ライン 6 は列方向に限らず、全画素を共通に接続することができる。そして、行方向に並ぶ各画素の MOS トランジスタ 2 のゲート側が強誘電体キャパシタ（前述の MFS、MFI S または MFMI S 構造）3 を介して制御ライン 7 に接続され、列方向に並ぶ画素の MOS トランジスタ 2 のバックゲートが書込みライン 8 に接続されることにより、行ラインと列ラインの特定により画素を選択するマトリクスが形成されている。

【 0 0 2 9 】

すなわち、制御ライン 7 と書込みライン 8 との間に電圧を印加することにより、前述のように強誘電体層を分極させることができ、有機 EL 素子 1 のオンオフを制御する信号を制御素子である MOS トランジスタ 2 に印加すると共に、データ保持部 3 に書き込む。この場合、オンオフを逆転させる場合は、制御ライン 7 と書込みライン 8 との間に印加する電圧の正負を逆にすることにより変えることができ、オンオフを変化させる画素のみにその逆の電圧を印加することにより、各画素を常に表示状態に制御することができる。なお、後述する図 3 に示される例のように書込みラインがない場合には、列方向の画素を接続する選択ライン 9 との間で選択する画素が特定される。この行方向および列方向の接続はそれぞれ逆にしてもよい。

【 0 0 3 0 】

この構造で、ある画素Pに表示をする（データ保持部に書込みを行う）場合、たとえば図9にマトリクス状に形成された画素のうち、選択した画素Pに書き込む場合の各ラインへの印加電位の例が示されるように、いわゆる $1/3 V_{cc}$ 方式で行う。すなわち、たとえば選択する画素の制御ライン7に書込み電圧 $1/3 V_{cc}$ を印加し、その画素Pの書込みライン8に $-2/3 V_{cc}$ を印加し、他の制御ライン7には $-1/3 V_{cc}$ を、他の書込みライン8には0を印加することにより行う。これは、 V_{cc} の電位を印加することにより書込みを行うが、画素Pの属する制御ラインに V_{cc} を印加し、書込みラインに0を印加すると、画素Pの属しない書込みラインに書込み防止用の電位 V_{cc} を印加しなければならない、他の画素への影響を防止できないため使用できず、 $1/2 V_{cc}$ と $-1/2 V_{cc}$ の印加により行うと、非選択画素に常に $|1/2 V_{cc}|$ が印加されることになり、非選択画素にかかってしまう電圧を最小にするという点から好ましくないためである。

【 0 0 3 1 】

この方法によれば、書込みが $1/3 V_{cc}$ 方式で、非選択画素にも常に $|1/3 V_{cc}|$ の電圧が印加されること、バックゲート制御方式で、各セルのチャネル領域をウェルにより分離し、各セル間を離すか絶縁物で分離しなければならないセルが大型化すること、オンオフの制御のみで階調表示をしにくいことという難点はあるが、EEPROMやフラッシュメモリなどより遥かに優れた不揮発性の表示装置を構成することができる。

【 0 0 3 2 】

すなわち、EEPROMやフラッシュメモリでは、書込みや消去を12Vという高電圧で行わなければならない、昇圧回路が必要になると共に消費電力が大きいこと、一旦消去してから書き込まなければならない書込みに数ミリ秒から数秒かかり遅いこと、書込み回数が 10^5 回程度と少なく、動画で1秒間に60回ほど書き換える必要がある場合に寿命が短すぎる、などの動画を長時間表示する場合には致命的な問題がある。しかし、強誘電体キャパシタを用いれば、3V程度、10ナノ秒以下の速さで書込みを行うことができ、しかも書換え回数も 10^{12} 回以上と長寿命である。

【 0 0 3 3 】

図 2 に示される構造は、前述の書込みが $1/3 V_{cc}$ 方式およびオンオフの制御のみで階調表示をしにくいこと、という問題を解消する例である。すなわち、前述の強誘電体キャパシタ 3 と制御ライン 7 との間に選択トランジスタ 4 のソースおよびドレインが接続され、列方向に並ぶ各画素の選択トランジスタ 4 のゲートが選択ライン 9 と接続されている。すなわち、選択ライン 9 は書込みライン 8 と平行になるように接続されている。その結果、表示データを印加する画素を制御ライン 7 と選択ライン 9 とにより選択することができ、その選択した画素の属する制御ライン 7 と書込みライン 8 との間に、所望のしきい電圧となる電圧を印加することにより、表示素子 1 への駆動電流を所望の値に制御することができる。

【 0 0 3 4 】

すなわち、選択トランジスタ 4 により 1 つの画素のみが選択されているため、他の画素への影響はなく、制御ライン 7 に印加する電位を任意に設定することができる。この場合、強誘電体キャパシタ 3 に低い電圧で分極させると、その中間の電圧に分極され、中間の電圧を維持するが、その前に、逆方向に電圧（負電圧）を印加することにより、高い電圧で書き込まれた分極を消去してから行う必要がある。この構造にすることにより、前述の $1/3 V_{cc}$ 方式を用いずに表示データの印加を行うことができ、また、オンオフの制御のみではなく階調表示を行うことができる。

【 0 0 3 5 】

図 3 および図 4 に示される構造は、前述のバックゲート制御を解消し、セルを高集積化して表示装置全体を非常に小形化することができる構造である。すなわち、制御素子である MOS トランジスタ 2 および強誘電体キャパシタ 3 の接続部とアース GND（図 3 の構造）または書込みライン 8（図 4 の構造）との間にキャパシタ 5 を接続し、制御ライン 7 とアース GND または書き込みライン 8 との間に電圧を印加することにより、制御素子である MOS トランジスタ 2 に表示データを印加すると共に、データ保持部である強誘電体キャパシタ 3 にその表示データを書き込む。図 3 の構造では、書込みラインが不用になるが、オンオフを逆転する場合に逆電位が必要となるため、2 倍の電位得るための昇圧回路が必要

となる。これに対して、図4の構造では、制御ライン7と書込みライン8との間で印加電位を逆にすればよいから、昇圧回路は不用であるという利点がある。

【0036】

このキャパシタ5を介して書込みライン8に接続するのは、強誘電体キャパシタ3とMOSトランジスタ2との接続部を直接書込みライン8に接続すると、強誘電体キャパシタ3の他端側も選択トランジスタ4を介して（絶縁層を介さないで）制御ライン7に接続されているため、強誘電体キャパシタ3の両電極とも電荷が移動し得る状態になり、電荷が移動し得る状態ではたとえ強誘電体の分極といえども分極が消滅してしまい、データを保持することができないからである。すなわち、この強誘電体キャパシタ3の一方の電極は、図3および4に示されるようにMOSトランジスタ2のゲート絶縁膜またはキャパシタ5などにより電氣的に絶縁されたフロートの状態になっている必要がある。

【0037】

これらの構造にすれば、バックゲート制御をする必要がないため、バックゲートを各画素で独立させる必要がなく、セル間の間隔を小さくすることができ、高集積化することができる。しかも、印加電圧を効率よく強誘電体キャパシタ3に分圧して印加することができる。すなわち、図1または図2に示される構造では、半導体製造プロセス上の問題でMFS構造の高特性素子を作るのは難しいため、実務的にはMFI S構造にする。しかし、MFI S構造では、強誘電体のキャパシタと誘電率の小さい絶縁膜のキャパシタとが直列接続され、その両端に電圧を印加する構造になるが、両端に印加された電圧は強誘電体キャパシタと低誘電率のキャパシタとに分圧して印加される。この電圧の分圧比は、それぞれの容量に反比例するため、誘電率が大きく容量の大きい強誘電体キャパシタには低い電圧しか印加されず、所望の分圧特性を得るのに高い電圧を必要とする。

【0038】

一方、図3および図4に示されるように、MFI S構造の絶縁膜とは別のキャパシタ5を介して電圧を印加することができる構造にすることにより、キャパシタ5はトランジスタとは関係ないため、誘電率の大きい絶縁膜を用いたり、面積を大きくすることにより、キャパシタ5の容量を大きくすることができ、強誘電

体キャパシタ 3 への分圧比を大きくすることができる。

【 0 0 3 9 】

図 1 0 は、不揮発性データ保持部として、磁気抵抗素子 (MR 素子) 3 b を用いた例である。すなわち、制御素子である MOS トランジスタ 2 のゲート側に MR 素子 3 b を介して制御ライン 7 に接続した MRAM (磁気抵抗メモリ) と表示素子 1 とが接続されて 1 画素を構成している。MR 素子 3 b と MOS トランジスタ 2 のゲートとの接続部は、抵抗 R_1 を介してアース GND に接続されている。

【 0 0 4 0 】

MR 素子 3 b は、図 1 0 (c) に示されるように、非磁性層 3 0 1 を介して強磁性層 3 0 2、3 0 3 を両側に設け、電流を流すことにより磁化の向きを反転させて、両方の強磁性層 3 0 2、3 0 3 の磁化方向が平行 (同じ方向) と反平行 (逆方向) とで抵抗が異なる (反平行の場合の抵抗が大きい) ため、その抵抗の差により 0 と 1 (オンとオフ) を記憶させることができる。この書込み用の電流は図 1 0 (a) の制御ライン 7 と書込みライン 8 との間に電流を流すことにより行い、オンかオフかは、制御ライン 7 とアース GND 間に流れる電流により、制御ラインの電位が MR 素子 3 b と抵抗 R_1 とで分圧される電圧 V_1 により、MOS トランジスタ 2 が制御されて表示素子 1 への印加が制御される。

【 0 0 4 1 】

すなわち、制御ライン 7 の電位 V_B が MR 素子 3 b の抵抗 R_{MR} と抵抗 R_1 とにより分圧され、 $V_1 = V_B \cdot R_1 / (R_{MR} + R_1)$ となり、MR 素子 3 b が低抵抗 $R_{MR(ON)}$ であれば、 $V_1 = V_B \cdot R_1 / (R_{MR(ON)} + R_1)$ となり、MR 素子 3 b が高抵抗 $R_{MR(OFF)}$ であれば、 $V_1 = V_B \cdot R_1 / (R_{MR(OFF)} + R_1)$ となる。したがって、この電圧で MOS トランジスタ 2 がオンオフするように制御ライン 7 の電圧 V_B を設定しておくことにより、表示状態に変化がない待機時には、この電圧を印加したままにすることにより、同じ表示を続けることができる。また、表示状態を変化させる書込みをするときは、選択する画素の制御ライン以外の制御ラインをアース GND とし、選択する画素の制御ライン 7 と書込みライン 8 との間に書込み用電圧を印加することにより、MR 素子 3 b の抵抗を変化させる。

【 0 0 4 2 】

この構造では、前述の強誘電体を用いる場合と異なり、表示装置を動作させている間は、制御ライン 7 に電位 V_B を印加し続けなければならない。しかし、MR 素子 3 b の中間層 3 0 1 に絶縁膜を用いることにより、MR 素子 3 b の抵抗を非常に大きくすることができ、有機 EL 素子 1 と同程度の $10^9 \Omega$ 以上にするることができる。そのため、有機 EL 素子 1 を駆動する電位 V_D をそのまま印加することもでき、消費電力も余り増えず、駆動方法も簡単に行える。一方、画像の表示データをその都度全部印加しなおす必要はなく、変化する画像のみに新たなデータを印加すればよい。ため、1 秒間に 60 コマ程度で変化させる動画像をインターネットなどを介して伝送する場合でも、そのデータを非常に圧縮することができ、データ処理が非常に容易になる。

【0043】

前述の例では、MR 素子 3 b によるオンオフの例の説明であったが、明るさに変化を与えた階調表示をする場合、たとえば図 10 (b) に示されるように、制御ライン 7 1、7 2、7 3 および書込みライン 8 1、8 2、8 3 をそれぞれ複数組設け、異なる電流で磁化の程度を異ならせることにより、その抵抗値を異ならせることができ、MOS トランジスタ 2 の制御電圧を変化させることができ、階調表示をすることができる。

【0044】

このように、不揮発性データ保持部として、MR 素子を用いることにより、DRAM と同程度に小さくすることができ、しかもその書換えを短時間で行うことができると共に、書換えは無限回程度行うことができる。そして、各画素の表示データを保持し続けるため、動画の表示データを転送する場合でも、そのデータ量が小さくなり、圧縮データを作ってまた復元するという作業が必要なくなり、非常に信号処理が容易になる。

【0045】

図 11 (a) ~ (b) は、不揮発性データ保持部を単電子メモリ 3 c で構成した例である。すなわち、図 11 (a) は横型構造の例で、MOS トランジスタ 2 のゲート側に多層トンネル接合 (MTJ) が形成されたもので、フラッシュメモリのように電子をトンネリングさせることにより、書込みを行うものである。こ

のような構造にしても、制御ライン 7 と駆動ライン 6 との間に電圧を印加することにより、単電子メモリ 3 c に電位を保持することができ、表示状態をフローティング状態で保持することができる。その結果、前述の例と同様に、各画素の表示データを保持することができ、表示状態を変更する画素のみに新たな表示データを印加すればよい。

【 0 0 4 6 】

図 1 1 (b) は、同様の構造を縦型の MOS F E T で構成した例である。この構造では、制御素子としての MOS トランジスタ 2 とは別に縦型 MOS F E T と積層されたトンネル層からなっており、そのゲートが書込みライン 9 に、ドレインが制御ライン 7 に接続されることにより構成されている。なお、 C_c は内在的に形成されるキャパシタ (built-in coupling capacitor) である。動作としては、(a) の横型と同様に表示データを保持することができる。

【 0 0 4 7 】

このような構造にすることにより、書込み回数を大幅に増やすことができながら、フラッシュメモリと同様に電子をフローティングさせることができ、同じ表示であれば一々表示用のデータを印加しなくても、表示を続けることができ、省電力になると共に、データ量が非常に小さくなり、圧縮データと同様に簡単に転送することができる。

【 0 0 4 8 】

以上の各例では、表示素子 1 として有機 E L 素子を用いたが、表示素子として L E D の場合でも電流駆動で同様の回路構成で行うことができる。一方、表示素子として液晶デバイスを用いると、電圧駆動となるため、MOS トランジスタ 2 の制御電圧で液晶の明るさを変化させることはできず、オンかオフの 2 値表示となるが、前述の図 1 ~ 4 に示されるのと同様の回路構成で、表示データを保持しながら画像表示を行うことができる。

【 0 0 4 9 】

【発明の効果】

本発明によれば、表示素子と不揮発性のメモリとを組み合わせているため、全画素の表示データを常に書き換える必要がなく、表示状態を変化させる画素のみ新

たな表示データを印加すればよい。そのため、不揮発性のメモリとして、強誘電体などを用いれば、書換えの電力を大幅に削減することができ、非常に省電力となり、マイクロディスプレイにしても非常に小形の電池で長時間に亘って動作させることができる。その結果、HMD (Head Mounted Display) などの普及に寄与し、ウェアブルコンピュータやファインダー、ハンディフォンなどへの応用を促進させることができる。

【 0 0 5 0 】

さらに、各画素の表示データを保持しつづけることができるため、動画などの表示データを処理する場合でも、変化する画素のデータのみを処理すればよく、データ処理が非常に少なく済み、インターネット通信などによりデータ転送をする場合でも非常に少ないデータ量で簡単に処理することができる。

【 0 0 5 1 】

さらに、液晶ディスプレイにこの方法を用いることにより、変化のない画素は不揮発性の保持されたデータによる表示であり、表示データを変更する必要がないため、ジッターがなく、プロジェクターなどに用いた場合に、目にやさしい表示となる。

【図面の簡単な説明】

【図 1】

本発明による表示装置の一実施形態の基本的構成を示す説明図である。

【図 2】

図 1 の構成に選択トランジスタを設けた変形例の説明図である。

【図 3】

図 2 の構成にキャパシタを設けた変形例の説明図である。

【図 4】

図 2 の構成にキャパシタを設けた変形例の説明図である。

【図 5】

MOS トランジスタと強誘電体キャパシタを組み合わせた強誘電体メモリ (FRAM) の構成の説明図である。

【図 6】

強誘電体のヒステリシス特性を示す説明図である。

【図 7】

有機 E L 素子の構成説明図である。

【図 8】

反射型液晶パネルによりマイクロディスプレイを構成する例の説明図である。

【図 9】

図 1 の構成でマトリクスを組んだ場合の動作例を説明する図である。

【図 1 0】

不揮発性データ保持部として M R 素子を用いた場合の構成説明図である。

【図 1 1】

不揮発性データ保持部として単電子メモリを用いた場合の構成説明図である。

【図 1 2】

従来の液晶パネルにより表示装置を構成する例の説明図である。

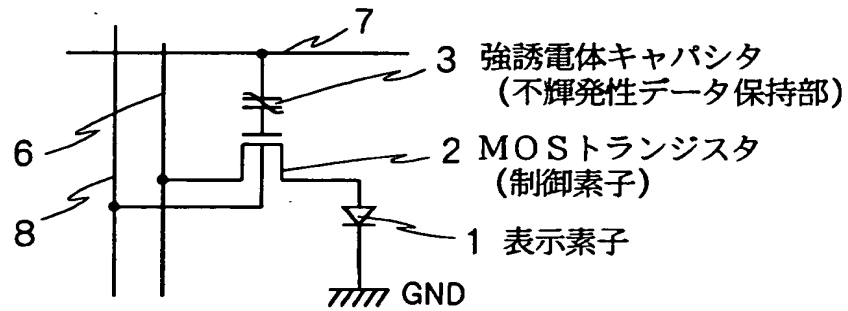
【符号の説明】

- 1 表示素子
- 2 M O S トランジスタ（制御素子）
- 3 強誘電体キャパシタ（不揮発性データ保持部）
- 4 選択トランジスタ
- 5 キャパシタ

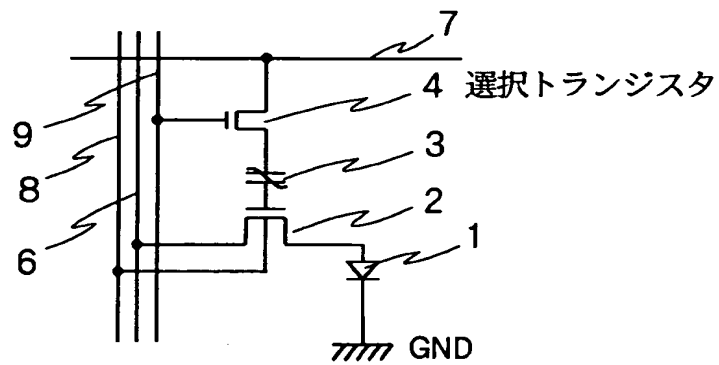
【書類名】

図面

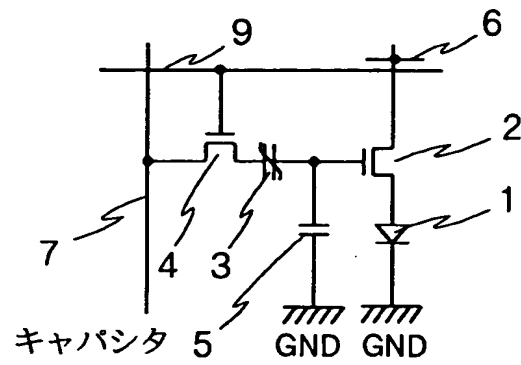
【図 1】



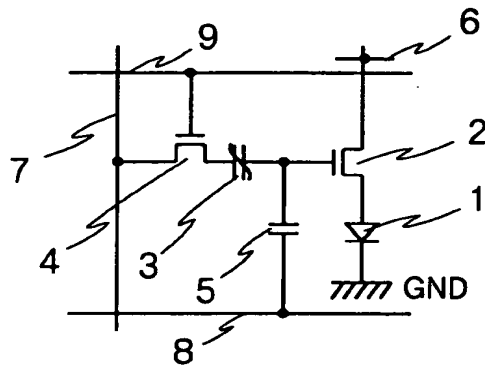
【図 2】



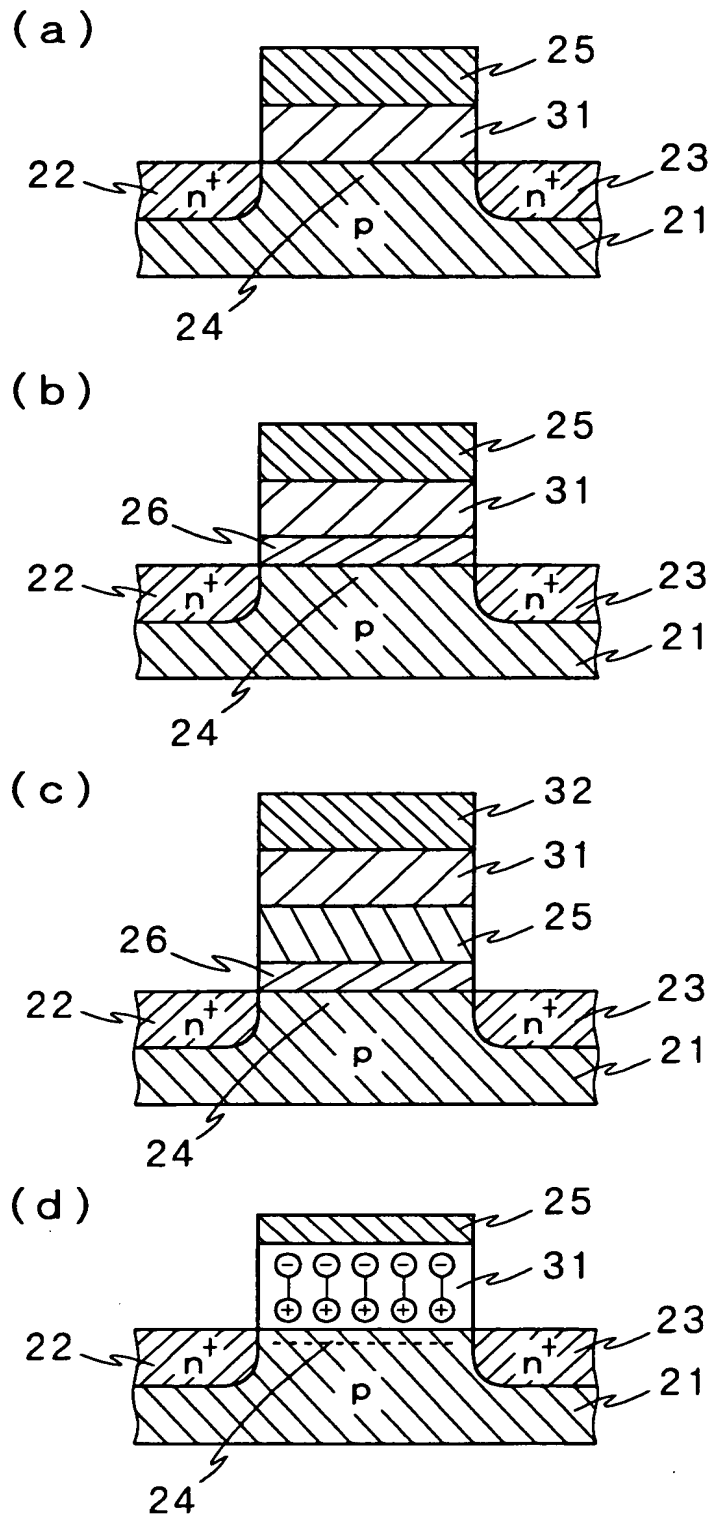
【図 3】



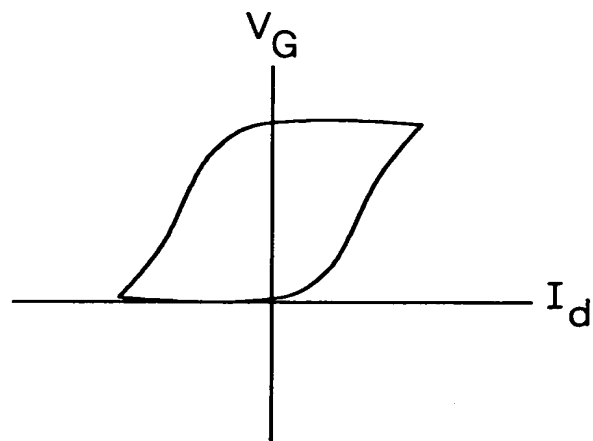
【図 4】



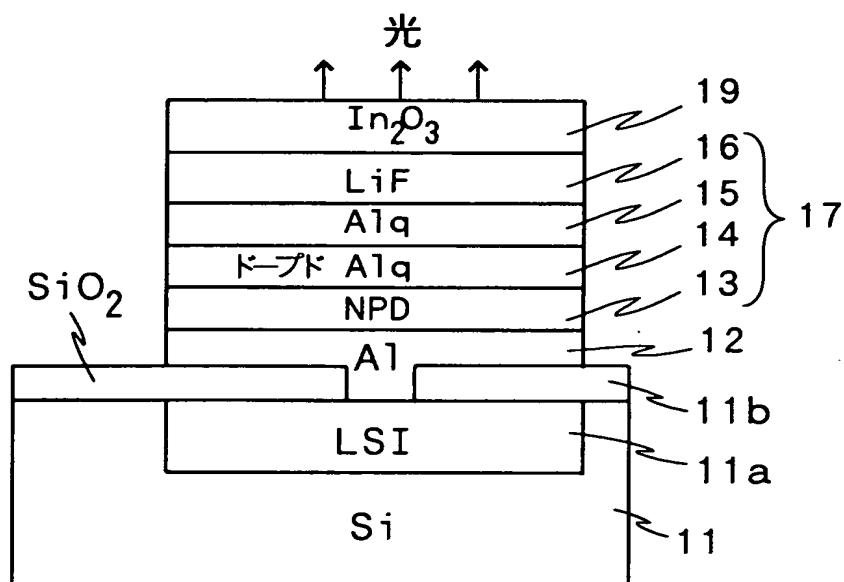
【図 5】



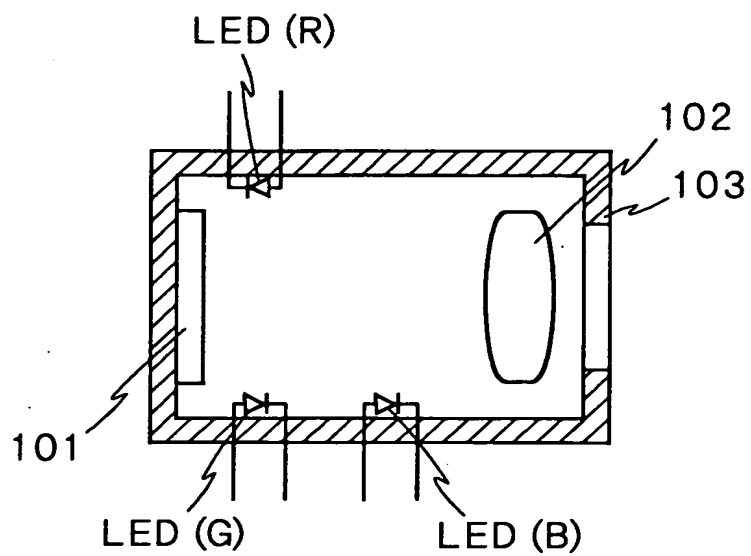
【図6】



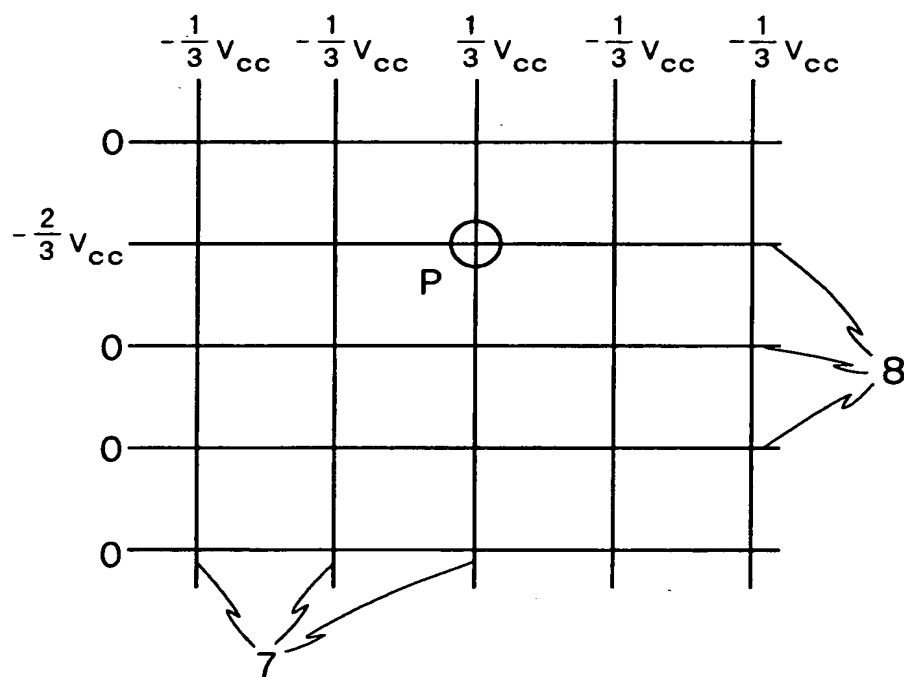
【図7】



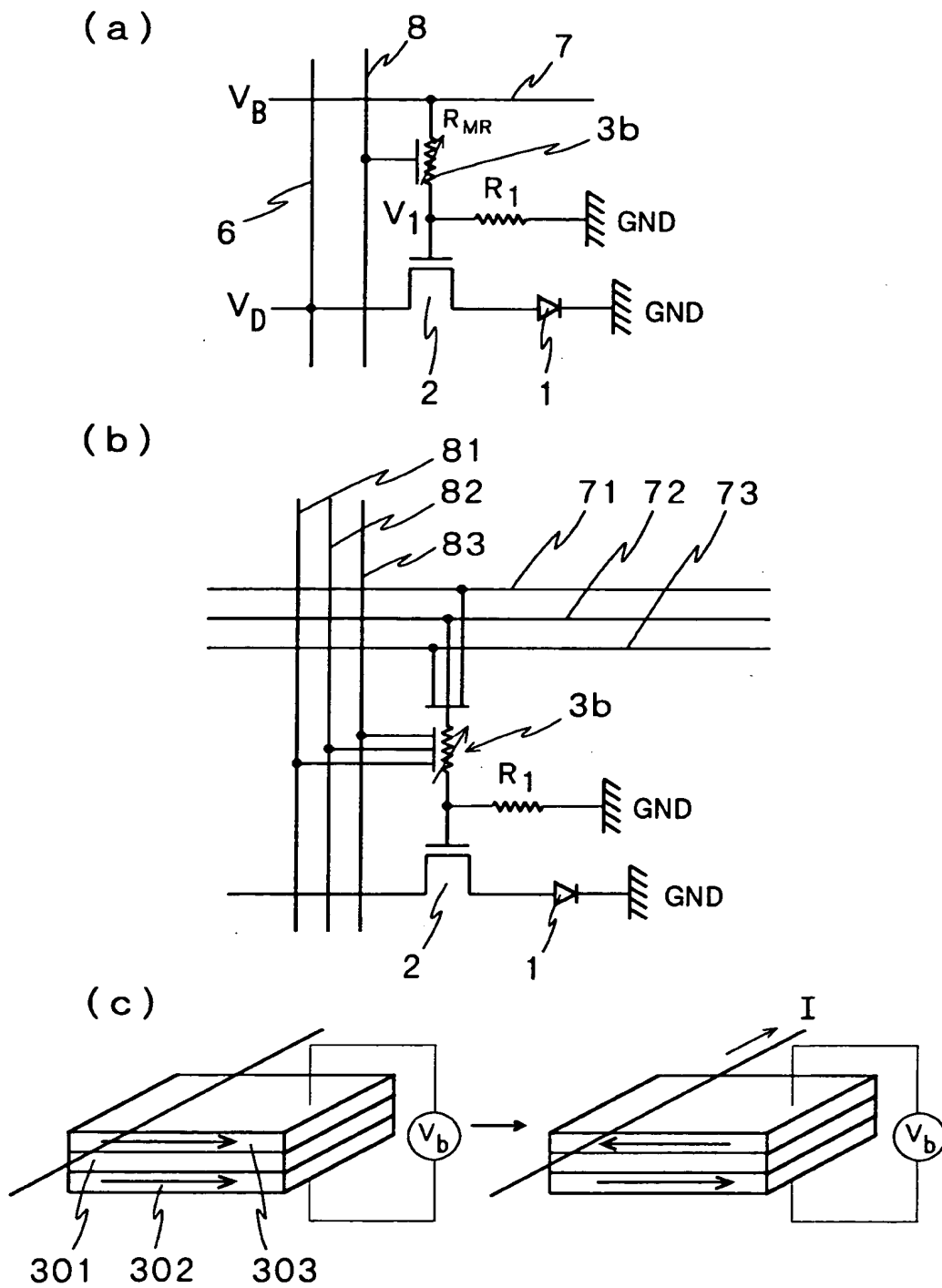
【図 8】



【図 9】

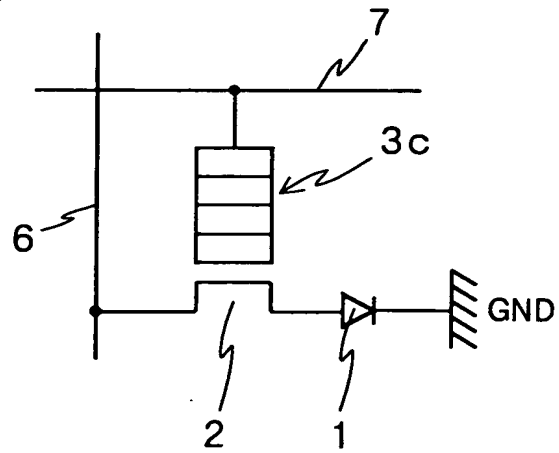


【図 10】

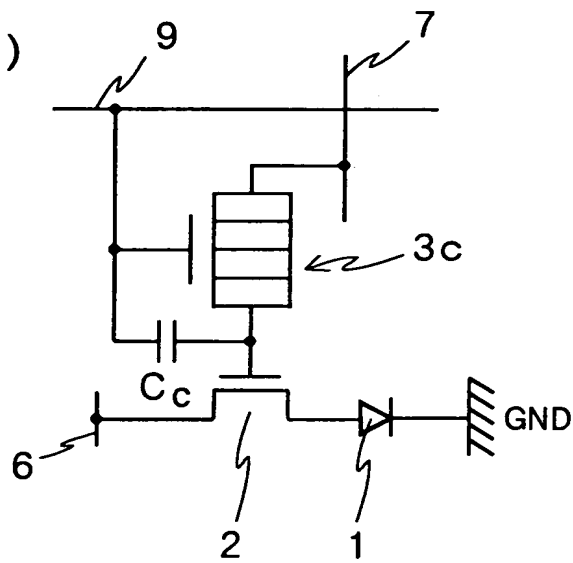


【図 11】

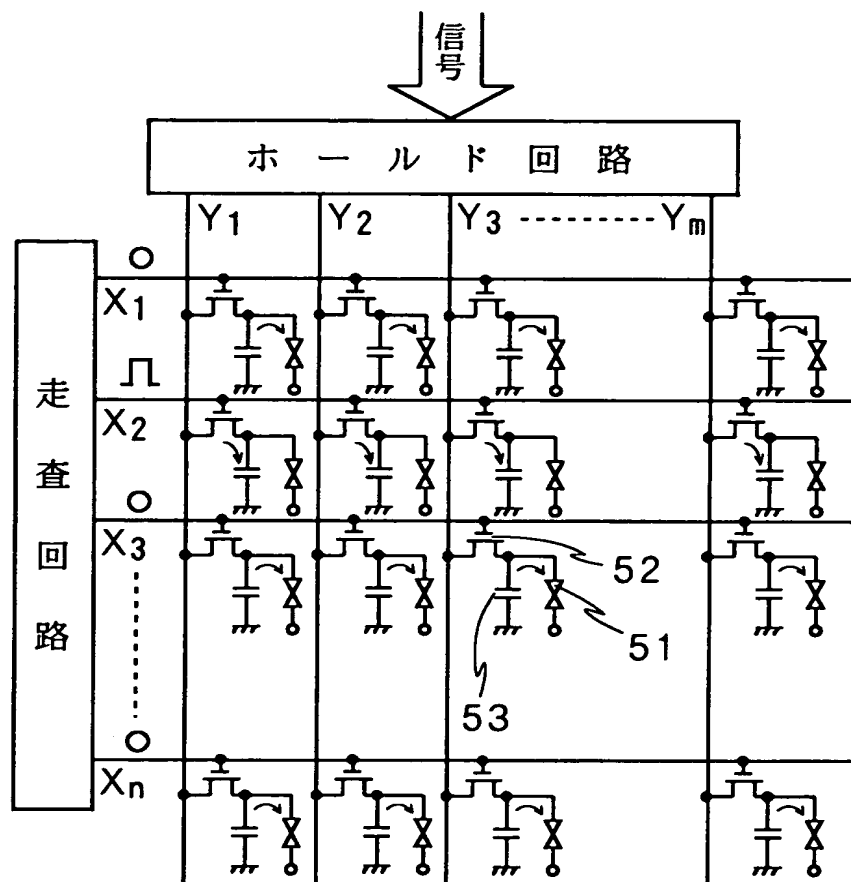
(a)



(b)



【図 12】



【書類名】 要約書

【要約】

【課題】 各画素のオンオフのデータをフローティング状態で保持し、表示データの書換えは、オンオフなどの表示状態を変化する画素のみに行い、表示データを変化しない画素には、保持しているデータにより表示をすることにより、消費電力を低減し、小さな電池でも動作し得る不揮発性の表示装置を提供する。

【解決手段】 たとえば有機EL素子からなる表示素子1とMOSトランジスタ2からなる制御素子が電圧または電流により駆動する駆動ライン6とアースとの間に直列接続されている。MOSトランジスタ2のゲートは、強誘電体キャパシタ3などの不揮発性データ保持部を介して制御ライン7に接続され、MOSトランジスタ2の制御データをフローティング状態で保持し得る構造になっている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 1 6 0 2 4]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町 2 1 番地

氏 名 ローム株式会社